

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-043993

(43)Date of publication of application : 14.02.2003

(51)Int.Cl. G09G 3/30
G09F 9/30
G09G 3/20
H05B 33/14

(21)Application number : 2001-226913

(71)Applicant : CANON INC

(22)Date of filing : 27.07.2001

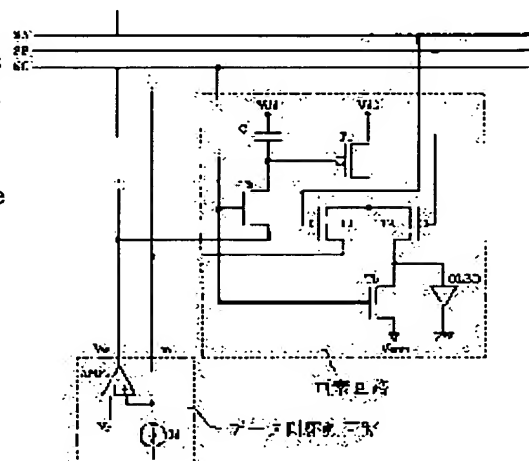
(72)Inventor : OMURA MASANOBU

(54) ACTIVE MATRIX TYPE DISPLAY

(57)Abstract:

PROBLEM TO BE SOLVED: To supply a desired driving current to the light emitting element of each pixel constantly and correctly by eliminating dispersions in threshold voltages of active elements of insides of pixels and dispersions in driving currents due to an early effect of them.

SOLUTION: A path over which a driving current which is to be generated from a voltage controlled current source to be controlled by a control voltage is made to flow is made changeable to a path which makes the driving current flow through a light emitting element and a path which makes the current flow through a data-side driving circuit and when respective pixels are scanned and selected and the driving current is made to flow through the data-side driving circuit, the control voltage is controlled by using the voltage comparator in the inside of the data-side driving circuit so that the driving current and the reference current of a luminance signal become equal based on the driving current and the control voltage at that time is held in a storage circuit and when the respective pixels are not scanned and selected, the driving current is supplied to the light emitting element based on the held control voltage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

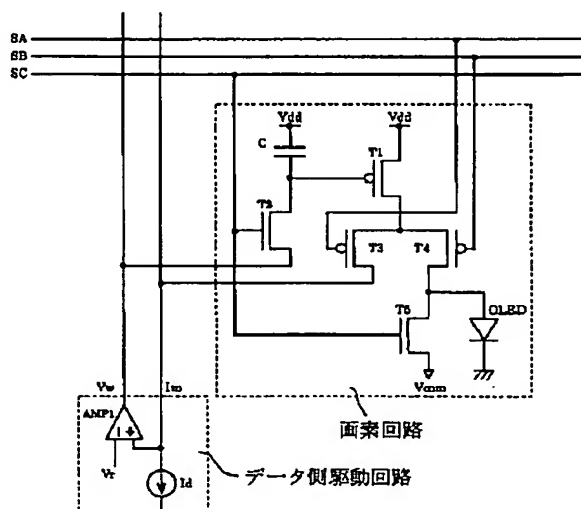
[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]



【特許請求の範囲】

【請求項 1】 発光素子を少なくとも含む画素回路を備えた画素をマトリックス状に複数配置し、前記画素回路の制御を行うための走査側駆動回路とデータ側駆動回路とを少なくとも有するアクティブマトリックス型ディスプレイであって、

前記発光素子は、該発光素子に流れる電流に応じて輝度に変化する電流制御型の発光素子であり、

前記画素回路は、前記発光素子と、電圧制御電流源と、第 1 のスイッチ回路と、第 2 のスイッチ回路とを少なくとも含み、

前記電圧制御電流源は、制御電圧により制御される能動素子と該制御電圧を記憶できる記憶回路とを少なくとも含み、前記制御電圧に基づいて駆動電流を発生させる機能を有し、

前記第 1 のスイッチ回路は、前記電圧制御電流源を電圧制御可能状態と制御電

圧保持状態とに切り換える機能を有し、前記第 2 のスイッチ回路は、前記駆動電流を流す経路を、前記発光素子に流す経路と前記データ側駆動回路に流す経路とに切り換える機能を有し、

前記走査側駆動回路は、少なくとも、前記第 1 のスイッチ回路と前記第 2 のスイッチ回路とに接続され、前記電圧制御電流源を電圧制御可能状態或いは制御電圧保持状態とする制御と、前記駆動電流を流す経路を前記発光素子に流す経路或いは前記データ側駆動回路に流す経路にする制御とを行う機能を有し、

前記データ側駆動回路は、少なくとも、前記第 1 のスイッチ回路を介して前記電圧制御電流源と接続され、且つ前記第 2 のスイッチ回路と接続され、前記電圧制御電流源が電圧制御可能状態にあり且つ前記駆動電流を流す経路がデータ側駆動回路に流す経路であるときに、前記駆動電流の電流値が所望の輝度情報に対応した電流値になるように、前記電圧制御電流源の制御電圧を制御することを特徴とするアクティブマトリックス型ディスプレイ。

【請求項 2】 前記データ側駆動回路は、輝度情報を持つ基準電流源と、該基準電流源の出力端の電圧と基準電圧とを入力として前記制御電圧を設定する電圧を出力する電圧比較器を含み、

前記基準電流源の出力端は前記第 2 のスイッチ回路とも接続され、

前記電圧制御電流源が電圧制御可能状態にあり且つ前記駆動電流を流す経路がデータ側駆動回路に流す経路であるときに、前記輝度情報を持つ基準電流源の出力端に前記駆動電流を入力し、前記駆動電流の電流値と前記輝度情報を持つ基準電流源の出力電流値とが等しくなるように、前記電圧比較器によって前記電圧制御電流源の制御電圧を制御する機能を有することを特徴とする請求項 1 に記載のアクティブマトリックス型ディスプレイ。

【請求項 3】 前記電圧比較器に入力される基準電圧を、前記発光素子の動作時の端子間の電圧近傍に設定することを特徴とする請求項 2 に記載のアクティブマトリックス型ディスプレイ。

【請求項 4】 前記データ側駆動回路は、さらにプリチャージ回路を含み、該プリチャージ回路は、少なくとも、前記電圧比較器の 2 つの入力のうち前記基準電流源の出力端が接続された入力側に接続され、前記基準電流源の出力端と前記電圧比較器とが接続された点の電圧を、所定の準備電圧までプリチャージする機能を有することを特徴とする請求項 2 又は 3 に記載のアクティブマトリックス型ディスプレイ。

【請求項 5】 前記データ側駆動回路は、前記電圧制御電流源が制御電圧保持状態にあるときに前記プリチャージ動作を行う制御が可能であることを特徴とする請求項 4 に記載のアクティブマトリックス型ディスプレイ。

【請求項 6】 前記データ側駆動回路は、前記電圧制御電流源が電圧制御可能状態となる直前に前記プリチャージ動作を行う制御が可能であることを特徴とする請求項 5 に記載のアクティブマトリックス型ディスプレイ。

【請求項 7】 前記所定の準備電圧を、前記基準電圧と同じ電圧値にすることを特徴とする請求項 4 から 6 のうちのいずれか一項に記載のアクティブマトリックス型ディスプレイ。

【請求項 8】 前記記憶回路はコンデンサで構成されており、前記能動素子、前記第 1 のスイッチ回路、前記第 2 のスイッチ回路は、絶縁ゲート型電界効果トランジスタで構成されており、前記第 2 のスイッチ回路は差動スイッチであることを特徴とする請求項 1 から 7 のうちのいずれか一項に記載のアクティブマトリックス型ディスプレイ。

【請求項 9】 前記画素回路は、さらにリセット回路を含み、該リセット回路は、少なくとも、前記発光素子と接続され、前記発光素子の端子間電圧を所定の値以下にリセットする機能を有することを特徴とする請求項 1 から 8 のうちのいずれか一項に記載のアクティブマトリックス型ディスプレイ。

【請求項 10】 前記リセット回路は、前記第 1 のスイッチ回路と共通の配線により前記走査側駆動回路に接続され、前記電圧制御電流源が電圧制御可能状態にあるときに同時に前記リセット動作が可能であることを特徴とする請求項 9 に記載のアクティブマトリックス型ディスプレイ。

【請求項 11】 前記記憶回路はコンデンサで構成されており、前記能動素子、前記第 1 のスイッチ回路、前記第 2 のスイッチ回路、前記リセット回路は、絶縁ゲート型電界効果トランジスタで構成されており、前記第 2 のスイッチ回路は差動スイッチであることを特徴とする請求項 9 又は 10 に記載のアクティブマトリックス型ディ

スプレイ。

【請求項 12】 請求項 11 に記載のアクティブマトリックス型ディスプレイにおいて、前記電圧制御電流源は、第 1 のトランジスタとコンデンサとからなり、該第 1 のトランジスタのゲートが該コンデンサの一端と前記第 1 のスイッチ回路とに接続され、前記第 1 のトランジスタのソースと前記コンデンサの他端とが電源電位に接続され、前記第 1 のトランジスタのドレインが出力となり、該ドレインが前記第 2 のスイッチ回路に接続された構成であり、前記第 1 のスイッチ回路は、第 2 のトランジスタからなり、該第 2 のトランジスタのドレインが前記電圧制御電流源に接続され、前記第 2 のトランジスタのソースが前記データ側駆動回路に接続され、前記第 2 のトランジスタのゲートに前記走査側駆動回路が接続された構成であり、前記第 2 のスイッチ回路は、第 3、第 4 のトランジスタからなり、該第 3、第 4 のトランジスタのソースが共に前記電圧制御電流源に接続された差動スイッチ回路を構成しており、前記第 3 のトランジスタのドレインが前記データ側駆動回路に接続され、前記第 4 のトランジスタのドレインが前記発光素子と前記リセット回路とに接続され、前記リセット回路は、第 5 のトランジスタからなり、該第 5 のトランジスタのドレインが前記前記第 2 のスイッチ回路と前記発光素子とに接続され、前記第 5 のトランジスタのソースはリセット電位に接続され、前記第 5 のトランジスタのゲートが前記第 1 のスイッチ回路と共通の配線により前記走査側駆動回路に接続された構成であることを特徴とするアクティブマトリックス型ディスプレイ。

【請求項 13】 前記絶縁ゲート型電界効果トランジスタは、薄膜トランジスタであることを特徴とする請求項 8、11、12 のうちのいずれか一項に記載のアクティブマトリックス型ディスプレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、有機エレクトロルミネッセンス (EL) などの、電流によって輝度が制御される発光素子を各画素に備えたディスプレイに関するものであり、より詳しくは、各画素内部に設けられた絶縁ゲート型電界効果トランジスタなどの能動素子によって発光素子に電流を供給するアクティブマトリックス型有機 EL ディスプレイに関するものである。

【0002】

【従来の技術】 近年、有機 EL 素子を用いたディスプレイが開発されており、その駆動方法として、単純マトリックス方式とアクティブマトリックス方式がある。前者は構造が単純であるが大型且つ高精細のディスプレイの実現が困難である為に、アクティブマトリックス方式の

開発が盛んに行われている。

【0003】 有機 EL 素子を多数使用しアクティブマトリックス回路により駆動する場合、各画素には、発光素子を駆動する駆動電流の供給を制御する絶縁ゲート型電界効果トランジスタ、所謂薄膜トランジスタ (TFT) が接続されており、この TFT を制御することで有機 EL 素子の発光動作を制御している。

【0004】 (従来例 1) 図 5 は、特開平 8-234683 号公報に示された 1 画素分の等価回路を示す。

10 【0005】 画素が備える画素回路は、有機 EL 素子 OLED、薄膜トランジスタ TFT1、薄膜トランジスタ TFT2、および、コンデンサ C から構成される。有機 EL 素子は一般的に整流特性があるため、有機発光ダイオード (OLED) と呼ばれる場合があり、図中では、ダイオードの記号を用いている。ただし、発光素子は必ずしも OLED に限るものではなく、素子に流れる電流によって輝度が制御される発光素子であればよいし、また、必ずしも整流特性が要求されるものでもない。図 5 では、p 型トランジスタ TFT2 のソースを電源電位 V_{dd} に、ドレインは有機 EL 素子 OLED のアノードに接続し、有機 EL 素子 OLED のカソードは接地電位に接続されている。一方、p 型トランジスタ TFT1 のゲートは走査線 S_{can} に、ソースはデータ線 D_{ata} に、ドレインはコンデンサ C 及び TFT2 のゲートに接続され、コンデンサの他端は電源電位 V_{dd} に接続されている。

30 【0006】 画素を動作させる為に、まず、走査線 S_{can} により TFT1 を ON 状態にし、データ線 D_{ata} に輝度情報を表すデータ電位 V_w を印加するとコンデンサ C の充電または放電が行われ、TFT2 のゲート電位はデータ電位 V_w に一致する。走査線 S_{can} により TFT1 を OFF 状態にすると、TFT2 のゲート電位はコンデンサ C によって保持され、TFT2 のゲート・ソース電圧 V_{gs} に応じた駆動電流が有機 EL 素子 OLED に供給され、その電流量に応じた輝度で発光しつづける。

【0007】 (従来例 2) 図 6 は、特開 2001-56667 号公報に示す 1 画素分の等価回路を示す。

40 【0008】 画素が備える画素回路は、有機 EL 素子 OLED と、信号電流を電圧に変換する或いは有機 EL 素子 OLED に電流を供給するトランジスタ TFT1 と、トランジスタ TFT1 の動作状態を制御するトランジスタ TFT2 と、信号電流を取り込む状態或いは有機 EL 素子 OLED に駆動電流を供給する状態を選択するトランジスタ TFT3、トランジスタ TFT4 と、電圧を保持するコンデンサ C とで構成されている。

50 【0009】 図 6 では、TFT1 のソースは電源電位 V_{dd} に接続され、ゲートは TFT2 のソースとコンデンサ C に接続されている。コンデンサ C の他端は電源電位 V_{dd} に接続されている。TFT1 のドレインは TFT

2のドレイン、TFT3のドレイン、TFT4のドレインに接続されている。TFT4のソースは有機EL素子OLEDのアノードに接続され、有機EL素子OLEDのカソードは接地電位に接続されている。TFT3のソースはデータ信号線Dataに接続され、TFT2、TFT3、TFT4のゲートは全て走査線Scanに接続されている。

【0010】画素を動作させる為に、まず、走査線ScanによりTFT2、TFT3はON状態に、TFT4はOFF状態にすると、信号電流IwがTFT1に取り込まれ、TFT1には信号電流Iwを流す為に必要なゲート・ソース電圧Vgsが発生し、この電圧VgsをコンデンサCに保持する。走査線ScanによってTFT2、TFT3をOFF状態、TFT4をON状態にすると、TFT1はコンデンサCに保持されている電圧に基づいて駆動電流を有機EL素子OLEDに流し続け、有機EL素子OLEDはその電流量に相当した輝度で発光し続ける。

【0011】(従来例3)図7は、特開2001-147659号公報に示す1画素分の等価回路を示す。

【0012】画素が備える画素回路は、信号電流を電圧に変換する変換用のトランジスタTFT1、発光素子に流れる駆動電流を制御するトランジスタTFT2、走査線ScanAによって画素回路とデータ線とを接続もしくは遮断する取込用のトランジスタTFT3、走査線ScanBによって輝度情報書き込み中にTFT1のゲート・ドレイン間を短絡するスイッチ用のトランジスタTFT4、TFT1のゲート・ソース電圧を輝度情報書き込み終了後も保持するコンデンサC、及び有機EL素子OLEDから構成される。

【0013】図7では、TFT1、TFT2のソースは電源電位Vddに接続され、TFT1のゲートはTFT2のゲートとコンデンサCとTFT4のドレインに接続されている。コンデンサCの他端は電源電位Vddに接続されている。TFT2のドレインは有機EL素子OLEDのアノードに接続され、有機EL素子OLEDのカソードは接地電位に接続されている。TFT1のドレインはTFT4のソースとTFT3のドレインに接続される。TFT3のソースはデータ信号線Dataに接続されている。TFT3のゲートは走査線ScanA、TFT4のゲートは走査線ScanBに接続されている。

【0014】画素を動作させる為に、まず、走査線ScanA、ScanBによりTFT3、TFT4をON状態にすると、TFT1とTFT2はカレントミラー構造を有することになり、信号電流IwがTFT1に取り込まれ、TFT2はカレントミラー比に従って電流を有機EL素子OLEDに流し、TFT1のゲートに発生した電圧はコンデンサCに保持される。走査線ScanA、ScanBによりTFT3、TFT4をOFF状態にすると、TFT1とTFT2のカレントミラー構造は解除

され、コンデンサCに保持された電圧に従ってTFT2が電流を有機EL素子OLEDに流し続け、発光素子はその電流量に相当した輝度で発光し続ける。

【0015】

【発明が解決しようとする課題】アクティブマトリックス型ディスプレイにおいて、能動素子である薄膜トランジスタは、一般的に一枚のガラス基板上に同時にアモルファスシリコン或いはポリシリコンを用いて形成される。しかしながら、アモルファスシリコン或いはポリシリコンを用いて形成されたTFTは、単結晶シリコンに比べて、結晶性が悪く、伝導機構の制御性が悪い為、その特性のばらつきが大きいことが知られている。

【0016】従って、同一基板上に形成されたTFTでも、そのしきい値電圧Vthが画素毎によって数百mV、場合によっては1V以上ばらつくことも稀ではない。この場合、例えば異なる画素に対して同じ信号電位Vwを書き込んでも画素によってVthがばらつく為に、発光素子に流れる電流が違い、所望の輝度が得られずディスプレイとして高い画質を期待することができない。

【0017】従来例1(特開平8-234683)の構成の場合は、この影響を直接受けてしまう。また、従来例2(特開2001-56667)は、しきい値電圧のばらつき問題を解決しているが、信号電流を電圧に変換するときのTFT1のソース・ドレイン電圧Vdsと有機EL素子OLEDに駆動電流を供給しているときのTFT1のソース・ドレイン電圧Vdsが異なるため、トランジスタのアーリー効果によってデータ信号に基づいた正確な駆動電流を発光素子に流すことができない。また、従来例3(特開2001-147659)は、しきい値電圧のばらつきに関する問題をTFT1とTFT2で構成されるカレントミラーの誤差レベルにして低減しているが、根本的にばらつき問題を解決していない。さらに、TFT1のソース・ドレイン電圧Vds1とTFT2のソース・ドレイン電圧Vds2が異なるために、従来例2と同様に、トランジスタのアーリー効果によって正確な駆動電流を発光素子に流すことができない。

【0018】本発明の目的は、上記従来の技術において存在していたしきい値電圧のばらつきによる発光素子へ供給する駆動電流のばらつき問題を解決し、従来よりも高性能なアクティブマトリックス型ディスプレイを提供することにある。

【0019】

【課題を解決するための手段】上記課題を解決するための本発明は、発光素子を少なくとも含む画素回路を備えた画素をマトリックス状に複数配置し、前記画素回路の制御を行うための走査側駆動回路とデータ側駆動回路とを少なくとも有するアクティブマトリックス型ディスプレイであって、前記発光素子は、該発光素子に流れる電流に応じて輝度が変化する電流制御型の発光素子であ

り、前記画素回路は、前記発光素子と、電圧制御電流源と、第1のスイッチ回路と、第2のスイッチ回路とを少なくとも含み、前記電圧制御電流源は、制御電圧により制御される能動素子と該制御電圧を記憶できる記憶回路とを少なくとも含み、前記制御電圧に基づいて駆動電流を発生させる機能を有し、前記第1のスイッチ回路は、前記電圧制御電流源を電圧制御可能状態と制御電圧保持状態とに切り換える機能を有し、前記第2のスイッチ回路は、前記駆動電流を流す経路を、前記発光素子に流す経路と前記データ側駆動回路に流す経路とに切り換える機能を有し、前記走査側駆動回路は、少なくとも、前記第1のスイッチ回路と前記第2のスイッチ回路とに接続され、前記電圧制御電流源を電圧制御可能状態或いは制御電圧保持状態とする制御と、前記駆動電流を流す経路を前記発光素子に流す経路或いは前記データ側駆動回路に流す経路にする制御とを行う機能を有し、前記データ側駆動回路は、少なくとも、前記第1のスイッチ回路を介して前記電圧制御電流源と接続され、且つ前記第2のスイッチ回路と接続され、前記電圧制御電流源が電圧制御可能状態にあり且つ前記駆動電流を流す経路がデータ側駆動回路に流す経路であるときに、前記電圧制御電流源の制御電圧を制御することで該駆動電流を制御し、該駆動電流に基づいてさらに前記電圧制御電流源の制御電圧を制御し、前記駆動電流を所望の輝度情報に対応した電流値に近づけていく機能を有することを特徴とする。

【0020】また本発明は、上記本発明において、「前記データ側駆動回路は、輝度情報を持つ基準電流源と、該基準電流源の出力端の電圧と基準電圧とを入力として前記制御電圧を設定する電圧を出力する電圧比較器を含み、前記基準電流源の出力端は前記第2のスイッチ回路とも接続され、前記電圧制御電流源が電圧制御可能状態にあり且つ前記駆動電流を流す経路がデータ側駆動回路に流す経路であるときに、前記輝度情報を持つ基準電流源の出力端に前記駆動電流を入力し、前記駆動電流の電流値と前記輝度情報を持つ基準電流源の出力電流値とが等しくなるように、前記電圧比較器によって前記電圧制御電流源の制御電圧を制御する機能を有すること」、

「前記電圧比較器に入力される基準電圧を、前記発光素子の動作時の端子間の電圧近傍に設定すること」、「前記データ側駆動回路は、さらにプリチャージ回路を含み、該プリチャージ回路は、少なくとも、前記電圧比較器の2つの入力のうち前記基準電流源の出力端が接続された入力の側に接続され、前記基準電流源の出力端と前記電圧比較器とが接続された点の電圧を、所定の準備電圧までプリチャージする機能を有すること」、「前記データ側駆動回路は、前記電圧制御電流源が制御電圧保持状態にあるときに前記プリチャージ動作を行う制御が可能であること」、「前記データ側駆動回路は、前記電圧制御電流源が電圧制御可能状態となる直前に前記プリチャージ動作を行う制御が可能であること」、「前記所定

の準備電圧を、前記基準電圧と同じ電圧値にすること」、「前記記憶回路はコンデンサで構成されており、前記能動素子、前記第1のスイッチ回路、前記第2のスイッチ回路は、絶縁ゲート型電界効果トランジスタで構成されており、前記第2のスイッチ回路は差動スイッチであること」、「前記画素回路は、さらにリセット回路を含み、該リセット回路は、少なくとも、前記発光素子と接続され、前記発光素子の端子間電圧を所定の値以下にリセットする機能を有すること」、「前記リセット回路は、前記第1のスイッチ回路と共通の配線により前記走査側駆動回路に接続され、前記電圧制御電流源が電圧制御可能状態にあるときに同時に前記リセット動作が可能であること」、「前記記憶回路はコンデンサで構成されており、前記能動素子、前記第1のスイッチ回路、前記第2のスイッチ回路、前記リセット回路は、絶縁ゲート型電界効果トランジスタで構成されており、前記第2のスイッチ回路は差動スイッチであること」、「前記電圧制御電流源は、第1のトランジスタとコンデンサとからなり、該第1のトランジスタのゲートが該コンデンサの一端と前記第1のスイッチ回路とに接続され、前記第1のトランジスタのソースと前記コンデンサの他端とが電源電位に接続され、前記第1のトランジスタのドレインが出力となり、該ドレインが前記第2のスイッチ回路に接続された構成であり、前記第1のスイッチ回路は、第2のトランジスタからなり、該第2のトランジスタのドレインが前記電圧制御電流源に接続され、前記第2のトランジスタのソースが前記データ側駆動回路に接続され、前記第2のトランジスタのゲートに前記走査側駆動回路が接続された構成であり、前記第2のスイッチ回路は、第3、第4のトランジスタからなり、該第3、第4のトランジスタのソースが共に前記電圧制御電流源に接続された差動スイッチ回路を構成しており、前記第3のトランジスタのドレインが前記データ側駆動回路に接続され、前記第4のトランジスタのドレインが前記発光素子と前記リセット回路とに接続され、前記リセット回路は、第5のトランジスタからなり、該第5のトランジスタのドレインが前記前記第2のスイッチ回路と前記発光素子とに接続され、前記第5のトランジスタのソースはリセット電位に接続され、前記第5のトランジスタのゲートが前記第1のスイッチ回路と共通の配線により前記走査側駆動回路に接続された構成であること」、「前記絶縁ゲート型電界効果トランジスタは、薄膜トランジスタであること」、を好ましい態様として含むものである。

【0021】ここで、電圧制御電流源とは、電圧に基づいて流す電流を規制する手段を示し、電圧比較器とは、電圧を比較するだけでなく、それに基づいて電圧を出力する手段を示している。

【0022】また、電圧制御可能状態とは、制御電圧を変化させて制御することが可能な状態を示し、制御電圧

保持状態とは、記憶回路に記録された制御電圧を外部から変化させないように保持している状態を示している。

【0023】

【発明の実施の形態】以下、発光素子に有機エレクトロルミネッセンス素子（有機EL素子）を用いた本発明の好ましい実施の形態を説明するが、本発明はこれらに限定されるものではなく、発光素子に流れる駆動電流によって輝度が制御される電流制御型の発光素子を用いたアクティブマトリックス型ディスプレイにおいて効果を有するものである。

【0024】（実施の形態1）図1は、本発明のアクティブマトリックス型ディスプレイの第1の実施形態を示す構成図であり、図1においては画素回路は1画素分のみを示している。

【0025】まず、構成を説明する。

【0026】画素内部の画素回路は、有機EL素子OLEDと、制御電圧に基づいて駆動電流を発生させる電圧制御電流源を構成する能動素子に対応するp型薄膜トランジスタ1個と、記憶回路に対応するコンデンサ1個と、電圧制御電流源を電圧制御可能状態と制御電圧保持状態とに切り換える機能を有する第1のスイッチ回路に対応するn型トランジスタ1個と、駆動電流を流す経路を、発光素子に流す経路とデータ側駆動回路に流す経路とに切り換える機能を有する第2のスイッチ回路に対応するp型トランジスタ2個と、発光素子と接続され、発光素子の端子間電圧を所定の値以下にリセットする機能を有するリセット回路に対応するn型トランジスタ1個で構成されている。本実施形態では第2のスイッチ回路は差動スイッチとなっている。

【0027】より詳細に構成を説明する。

【0028】第1のトランジスタT1のゲートには、コンデンサCと第2のトランジスタT2のドレインが接続されている（コンデンサCの充放電に際してT2の該電極（ここでドレインとしている電極）はソースともなるが、説明の簡単化のため本明細書中ではT2に関しては、薄膜トランジスタのソース又はドレインとなる2電極のうちコンデンサCに接続されている側をドレインと呼ぶこととする）。T1のドレインは、第3のトランジスタT3のソース、第4のトランジスタT4のソースが接続されている。T3、T4のゲートには走査線が接続され、T3のゲートには制御信号SAが、T4のゲートには制御信号SBが入力される。制御信号SA、SBは差動信号である。T4のドレインは、第5のトランジスタT5のドレインとOLEDのアノードに接続されている。T5のソースはリセット電位Vcomに接続されている。T2、T5のゲートは共通の走査線に接続され、T2とT5のゲートには制御信号SCが入力される。T1のソースおよびコンデンサCの他端は電源電位Vddに、OLEDのカソードは接地電位に接続されている。

【0029】制御信号SA、SB、SCは、画素領域外

部に設置された走査側駆動回路（図1には記載していない）によって制御されている。

【0030】T2のソースは、画素領域外部に設置されているデータ側駆動回路内部の電圧比較器AMP1の出力と接続され、T3のドレインはデータ側駆動回路内部の輝度情報をもつ基準電流源Idの出力端に接続されると共にAMP1の正極端子にも接続されている。AMP1の負極端子には基準電圧Vrが入力される。

【0031】リセット電位Vcomは、OLEDの端子間電圧をリセットする電位であり、接地電位もしくはOLEDの発光しきい値電圧以下にすることが望ましい。また、消費電力の観点から言うとOLEDの発光しきい値電圧より若干小さい電圧が望ましい。さらには製造の容易性から、リセット電位には全画素共通に接続しておくことが好ましい。

【0032】また、T3がON状態且つT4がOFF状態で、駆動電流設定制御が行われたとき、制御安定状態ではT1のドレイン電圧は基準電圧Vrとなり、また、T3がOFF状態且つT4がON状態で、T1で発生した電流をOLEDに供給し発光動作を行っているとき、T1のドレイン電圧はOLEDの動作（点灯）時に発生する端子間の電圧Vonとなる。従って、回路動作状態によるT1トランジスタのドレイン・ソース間電圧の変化によるアーリー効果の影響をなくす為には、データ側駆動回路内の基準電圧VrをOLEDの動作電圧Von近傍にすることが望ましい。

【0033】次に、動作を説明する。

【0034】まず、所望の輝度で画素を発光させる為に、OLEDに供給すべき駆動電流を発生するT1のゲート電圧、すなわち制御電圧を設定する。この動作を行うには、まず制御信号SA、SBによってT3、T4で構成された差動スイッチを、T3をON状態に、T4をOFF状態にし、駆動電流を流す経路をデータ側駆動回路に流す経路とする。次に制御信号SCによってT2をON状態とし、電圧制御電流源を電圧制御可能状態とする。このときT1が出力する駆動電流（Imとしてデータ側駆動回路に入力）とデータ側駆動回路内にある基準電流源Idとでデータ側駆動回路内にある電圧比較器AMP1の正極端子に寄生する容量（図中には記載していない）を充電或いは放電し、AMP1の正極端子電圧が基準電圧Vrと等しくなるように、T1のゲート電圧を制御し、駆動電流を所望の輝度情報に対応した電流値に近づけていく。そして、T1の発生する駆動電流と輝度情報を持つ基準電流源Idの発生する電流とが等しいときに、この制御は安定状態になる。制御されたT1のゲート電圧は、これに接続されているコンデンサCに保持される。また、このとき同時にT5がON状態にあるのでリセット電位Vcomにショートされ、OLEDの端子間電圧を所定の値以下にリセットする。これは有機EL素子の長寿命化に有効な手段である。

【0035】次に、ゲート電圧が設定されたならば、制御信号SCによりT2、T5をOFF状態にして、電圧制御電流源を制御電圧保持状態とし、リセット回路のリセット動作は停止する。次に制御信号SA、SBによってT3、T4で構成された差動スイッチを、T3をOFF状態に、T4をON状態とし、駆動電流を流す経路をOLEDに流す経路とする。この状態では、画素外部にあるデータ側駆動回路からの制御は行われず、画素内部のコンデンサCに保持された制御電圧によって、T1のゲート・ソース間電圧 V_{gs} が与えられ、この電圧に相当した駆動電流がOLEDに供給される。

【0036】本実施形態において、画素内部で発生する電流を画素外部にあるデータ側駆動回路と接続することで所望の電流値に制御決定するので、各画素の駆動電流を決定するトランジスタのしきい値電流がばらついていても問題なく、さらに、T3、T4は差動スイッチで、SA、SBの差動信号の電圧レベルを適切に与えることで、駆動電流設定制御と駆動電流供給動作を切り換えるので、駆動電流を決定するT1のドレイン・ソース間電圧が変化することなくトランジスタのアーリー効果による電流変動を防ぎ、高精細な画像表示が可能である。

【0037】なお、トランジスタとしては広く用いられている絶縁ゲート型電界効果トランジスタを使用することが好ましく、さらにはアクティブマトリックス型ディスプレイの小型化の観点からも薄膜トランジスタであることが好ましい。

【0038】(実施の形態2) 図4は、本発明のアクティブマトリックス型ディスプレイの第2の実施形態を示す構成図であり、図4においては画素回路は1画素分のみを示している。

【0039】まず、構成を説明する。画素回路の構成は、実施形態1と同じなので説明を省く。

【0040】実施の形態1の構成などで、駆動電流設定制御のときに電圧制御電流源で発生する駆動電流が流れる配線に大きな寄生容量が存在する場合には、駆動電流設定制御が不安定に陥る可能性がある。本実施形態では、制御の応答後れによる制御不安定を未然に防ぐ為に、電圧制御電流源が制御電圧保持状態にあるときにデータ側駆動回路内の電圧比較器の正極端子電圧を所定の準備電圧までプリチャージするプリチャージ回路をデータ側駆動回路内に追加している。好ましくは、プリチャージ動作は電圧制御電流源が電圧制御可能状態となる直前に行うようにすることであり、更に好ましくは、所定の準備電圧を電圧比較器の負極端子に入力する基準電圧 V_r と同じ電圧値にすることである。これにより、駆動電流設定制御の動作時間を短縮することができる。なぜならば、駆動電流設定制御の制御収束電圧(制御が安定したときの電圧)が、AMP1の正極端電圧 V_r になるからである。

【0041】まず、構成を説明する。

【0042】電圧比較器AMP1の正極端子にスイッチ回路SW1を介して電圧バッファAMP2の出力を接続している。電圧バッファAMP2の正極端子には、電圧比較器AMP1の正極端子に入力されている基準電圧と同じ電圧 V_r が入力されている。電圧バッファAMP2の負極端子は電圧バッファAMP2の出力とショートしている。スイッチSW1は、制御信号SDによってON/OFF動作を制御されている。

【0043】次に、動作を説明する。

【0044】制御信号SA、SBによって画素内が駆動電流設定制御準備状態になると、制御信号SDによってスイッチSW1が導通状態になり、電圧比較器AMP1の正極端子が電圧 V_r になるように急速にプリチャージされる。そして電圧制御電流源が電圧制御可能状態となる前にプリチャージ動作は終了し、その後、駆動電流制御が行われる。その他の動作は、実施の形態1と同じなので説明を省く。

【0045】(実施の形態3) 本実施形態は、上記の各実施形態で示した構成を含むアクティブマトリックス型ディスプレイの全体の構成を示すものである。特にここでは、実施の形態1の構成を有する場合を想定した説明をするが、実施の形態2の構成を有する場合も同様にして実施できる。

【0046】図2は本発明のアクティブマトリックス型ディスプレイの第3の実施形態を示す構成図であり、図3は本実施形態の構成における制御信号のタイミングチャートである。

【0047】図2では、 $M \times N$ 個の画素を有するアクティブマトリックス型ディスプレイの一部を示している。データ線方向に並ぶ画素(図2中では縦方向に並ぶ画素)の V_w 端子は全て接続されており、同様に I_m 端子も全て接続され、画素領域外部に設置されたデータ側駆動回路に接続されている。また、走査線方向に並ぶ画素(図2中では横方向に並ぶ画素)のSA端子、SB端子、SC端子は各々全て走査側駆動回路に接続されている。図中には記載していないが、走査側駆動回路とデータ側駆動回路は、同期して動作する必要があるため、タイミング情報のやり取りを行っている。

【0048】本実施形態での動作を説明する。

【0049】1ライン目を走査開始すると、まず制御信号SAをLowレベル、制御信号SBをHighレベルとし、選択された各画素は駆動電流設定制御準備状態になり、データ側駆動回路内の基準電流源は画像情報に基づいた基準電流源の電流値を設定し、制御信号SCがHighレベルになると、各画素の電圧制御電流源は電圧制御可能状態になる。

【0050】制御信号SCがLowレベルになると、駆動電流設定制御は終了し、その電圧 V_w が制御電圧として電圧制御電流源の記憶回路であるコンデンサに保持された状態となる。続いて、制御信号SAがHighレベ

ル、制御信号SBがLowレベルになると、コンデンサに保持された制御電圧に基づいて決定される駆動電流が発光素子に供給され、発光素子は次の走査時間まで発光し続けると同時に、2ライン目の走査が開始される。2ライン目の動作は1ライン目と同様なので説明を省く。

【0051】

【発明の効果】以上説明した様に、本発明を使用した場合、各画素内に設置された駆動電流源を構成するトランジスタのしきい値電圧のばらつきに影響されず安定且つ正確に駆動電流を発光素子に供給できる。また、アーリー効果の影響を受けずに安定かつ高精度に駆動電流を発光素子に供給できる為、高精細な画像表示が可能である。さらには、画素内部に発光素子の端子間電圧をリセット電位によりリセットする機能を有することで、発光素子の寿命を改善できる。

【図面の簡単な説明】

【図1】本発明のアクティブマトリクス型ディスプレイの第1の実施形態を示す構成図である。

【図2】本発明のアクティブマトリクス型ディスプレ

イの第3の実施形態を示す構成図である。

【図3】第3の実施形態の構成における制御信号のタイミングチャートである。

【図4】本発明のアクティブマトリクス型ディスプレイの第2の実施形態を示す構成図である。

【図5】従来例1のアクティブマトリクス型ディスプレイを示す構成図である。

【図6】従来例2のアクティブマトリクス型ディスプレイを示す構成図である。

10 【図7】従来例3のアクティブマトリクス型ディスプレイを示す構成図である。

【符号の説明】

OLED 有機EL素子

TFT1～TFT4, T1～T5 薄膜トランジスタ

C コンデンサ

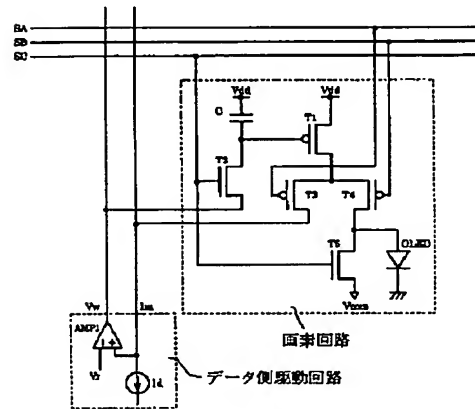
R, R1, R2 抵抗

Iw, Id 基準電流源

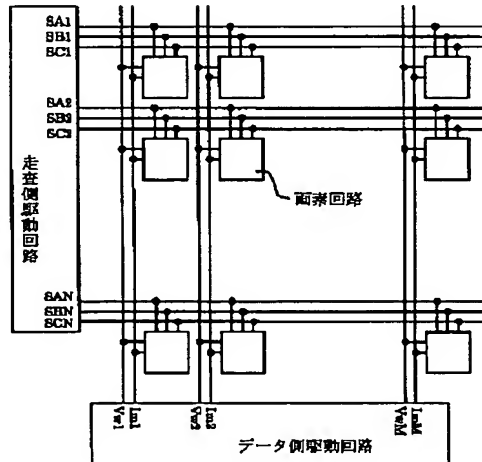
Vr, Vd 基準電圧源

AMP1 電圧比較器

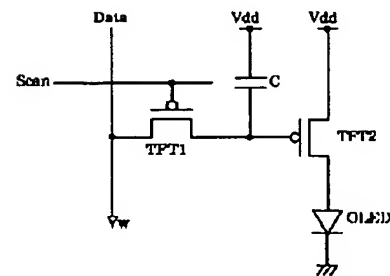
【図1】



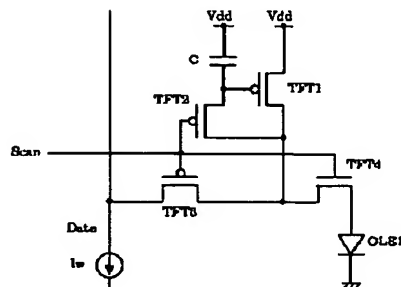
【図2】



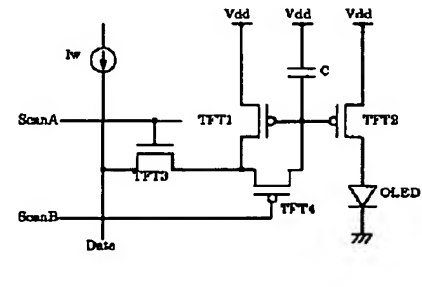
【図5】



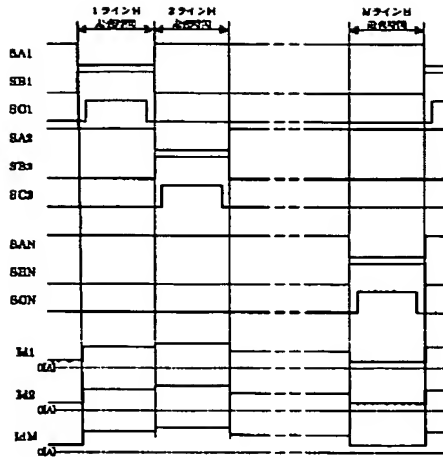
【図6】



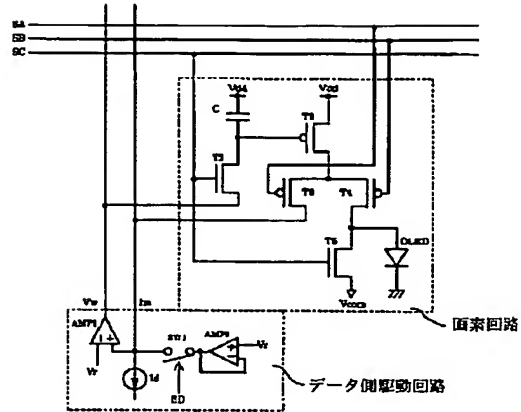
【図7】



【図3】



【図4】



フロントページの続き

(51) Int. Cl. ⁷

G 0 9 G 3/20

H 0 5 B 33/14

識別記号

6 4 1

F I

G 0 9 G 3/20

H 0 5 B 33/14

ターマコード (参考)

6 4 1 D

A

F ターム (参考) 3K007 AB02 AB11 AB17 BA06 CA01
 CB01 DA01 DB03 EB00 GA04
 5C080 AA06 BB05 DD03 DD29 EE28
 FF11 JJ03
 5C094 AA07 AA31 AA55 BA03 BA27
 CA19 CA25 DA09 DA13 DB01
 DB04 EA04 EA05 EA07 FB01
 FB12 FB14 FB15 FB20 GA10